

#### CONCISE EXPLANATION FOR DE 197 43 349

DE 197 43 349 discloses a method of producing semiconductor chips. In this method, semiconductor chips are separated from each other by means of dry-etching methods. This prior art method is a one-side method, in which dry-etching is performed throughout the whole wafer thickness. During the dry-etching step, the wafer is attached to an adhesive foil. In this way, very small semiconductor chips having edge lengths of less than 150 micrometers can be produced. Please note that this reference is not pertinent to the present invention, since it does not disclose a thinning step by dry-etching as defined in pending claim 1.



**THIS PAGE BLANK (USPTO)**



DEUTSCHES  
PATENT- UND  
MARKENAMT

21 Aktenzeichen: 197 43 349.9  
22 Anmeldetag: 30. 9. 97  
23 Offenlegungstag: 8. 4. 99

DE 197 43 349 A 1

71 Anmelder:  
Siemens AG, 80333 München, DE

72 Erfinder:  
Schoenfeld, Olaf, Dr., 93053 Regensburg, DE; Franz,  
Gerhard, Dr., 81543 München, DE

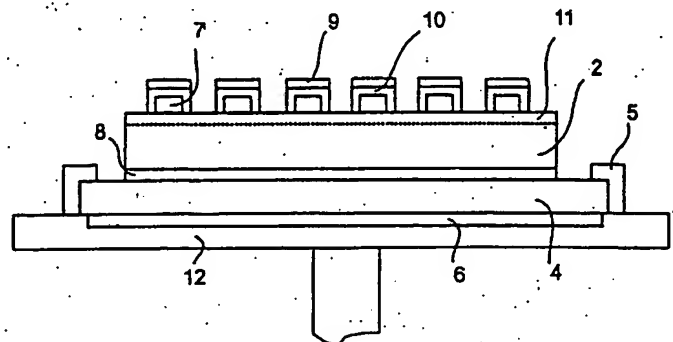
56 Entgegenhaltungen:  
DE 43 17 721 C1  
DE 43 08 705 C2

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zur Herstellung von Halbleiterchips

57 Die Erfindung betrifft ein Verfahren zum Herstellen von Halbleiterchips (1) aus einem Wafer (2). Das erfindungsgemäße Verfahren zeichnet sich dadurch aus, daß die Halbleiterchips (1) voneinander getrennt werden, indem der Wafer (2) im Bereich der Begrenzungsänder der Halbleiterchips mit Hilfe eines Trockenätzverfahrens vollständig durchgeätzt wird. Der Wafer wird während des Trockenätzverfahrens vorzugsweise magnetisch oder mit Hilfe einer Klebefolie fixiert. Auf diese Weise können auch sehr kleine Halbleiterchips mit einer Kantenlänge von weniger als 150 µm und insbesondere weniger als 100 µm hergestellt werden.



DE 197 43 349 A 1

Die Erfindung betrifft ein Verfahren zum Herstellen von Halbleiterchips aus einem Wafer. Das Verfahren betrifft vor allem den Schritt, die einzelnen Halbleiterchips voneinander zu trennen und aus dem Wafer herauszulösen. Das Verfahren eignet sich besonders zum Herstellen sehr kleiner Halbleiterchips mit einer Kantenlänge von weniger als 150 µm. Besonders geeignet ist das Verfahren zum Herstellen von LEDs.

Bisher ist es üblich, Halbleiterchips voneinander und aus dem Wafer zu trennen, indem die Chips aus dem Wafer gesägt werden oder man die Waferoberfläche ritzt und die Chips aus dem Wafer bricht. Die beim Sägen verwendeten Sägeblätter haben in der Regel eine Dicke von mehr als 30 µm. Die Dicke der Sägeblätter liegt damit in einem Bereich, der in etwa der Kantenlänge sehr kleiner Halbleiterchips entspricht oder nur wenig geringer ist als diese. Das Sägen kommt deshalb als Trennverfahren für sehr kleine Halbleiterchips nicht in Betracht. Der beim Ritzen und Brechen der Halbleiterchips verwendete Brechkeil ist in seinen Abmessungen so groß, daß er die Größe der kleinen Halbleiterchips übertrifft und deshalb für das Trennen dieser Chips nicht verwendet werden kann.

Die Herstellung sehr kleiner Chips mit einer Kantenlänge von unter 100 µm ist mit den Verfahren des Standes der Technik also nicht möglich. Halbleiterchips mit einer Kantenlänge von über 100 µm können zwar mit den konventionellen Verfahren voneinander getrennt werden, jedoch ist der Verlust an Halbleitermaterial und der Ausschuß derart groß, daß die herkömmlichen Verfahren vom wirtschaftlichen Standpunkt aus gesehen nicht zufriedenstellend sind.

Aufgabe der Erfindung ist es, ein Verfahren anzugeben, mit dem Halbleiterchips einer Kantenlänge von unter 150 µm und insbesondere von unter 100 µm auf einfache und wirtschaftliche Weise herstellbar sind und bei denen der Verlust an Halbleitermaterial möglichst gering gehalten werden kann.

Die Lösung dieser Aufgabe gelingt mit dem Verfahren gemäß Anspruch 1. Bevorzugte und zweckmäßige Verfahrensvarianten ergeben sich aus den Unteransprüchen.

Das erfindungsgemäße Verfahren eignet sich gemäß Ansprüchen 25 und 26 zur Herstellung von Halbleiterchips mit einer Kantenlänge von weniger als 150 µm und insbesondere zur Herstellung von LEDs.

Das erfindungsgemäße Verfahren zeichnet sich dadurch aus, daß die Halbleiterchips voneinander getrennt werden, indem der Wafer im Bereich der Begrenzungsrande der Halbleiterchips mit Hilfe eines Trockenätzverfahrens vollständig durchgeätzt wird. Die Trockenätzverfahren, die im erfindungsgemäßen Verfahren eingesetzt werden können, entsprechen grundsätzlich denjenigen Ätzverfahren, welche bisher zur Strukturierung einzelner Schichten eines Halbleitersubstrates eingesetzt wurden, beispielsweise um sogenannte Mesastrukturen zu erzeugen. Zum Beispiel werden Trockenätzverfahren bisher dazu eingesetzt, den p/n-Übergang von Halbleiterschichten zu durchtrennen, indem im Übergangsbereich sogenannte Mesagräben geätzt werden. Die Ätztiefe liegt in diesem Fall in einem Bereich zwischen 10 und 20 µm. Der Ätzvorgang betrifft nur einzelne Schichten des Halbleitersubstrates, während andere Schichten dem Ätzvorgang nicht ausgesetzt sind, so daß die bearbeiteten Chips im Waferverband erhalten bleiben. Die Trennung der Chips erfolgt auf herkömmliche Weise nach einem der oben beschriebenen Verfahren.

Erfindungsgemäß werden die Trockenätzverfahren nun dafür benutzt, den Wafer in seiner gesamten Dicke durchzuätzen, so daß zwischen den Begrenzungsrandern der einzel-

nen Chips über die gesamte Dicke des Wafers reichende Ätzgräben entstehen. Mit den Trockenätzverfahren sind sehr gute Aspektverhältnisse zu realisieren, so daß vertikale gerichtete isotrope Gräben mit einer Breite von unter 20 µm erzeugt werden können. Der Abstand zwischen den einzelnen Halbleiterchips auf dem Wafer kann entsprechend sehr klein sein, was einerseits dazu führt, daß die Anzahl an Halbleiterchips auf dem Wafer erhöht werden kann, und andererseits der Verlust an Halbleitermaterial sehr gering ist. Ein weiteres Vorteil des Trennens der Halbleiterchips mit Hilfe eines Trockenätzverfahrens besteht in der sehr kurzen Ätzdauer und darin, daß die Trennung aller Halbleiterchips auf einem Wafer gleichzeitig in einem einzigen Arbeitsschritt durchgeführt werden kann. Das Trennen der Halbleiterchips ist deshalb sehr schnell und kostengünstig möglich und verwendet außerdem aus dem Stand der Technik grundsätzlich bereits bekannte Arbeitsvorrichtungen und Arbeitsschritte.

Wie bereits erwähnt, können grundsätzlich alle Trockenätzverfahren des Standes der Technik angewendet werden, die bereits bisher zum Ätzen der jeweiligen Halbleitermaterialien verwendet werden. Die verwendeten Ätzmittel richten sich nach dem jeweils zu ätzenden Halbleitermaterial. Beispielsweise werden bisher zum Ätzen von Galliumarsenid, Galliumphosphid oder Galliumnitrid sowie Aluminium- oder Indiumhaltiger Halbleitermaterialien wie InAlAs oder InGaN hochreaktive Gase wie Chlor, Siliciumtetrachlorid oder Bortrichlorid in einem geeigneten Reaktor zum sogenannten reaktiven Ionenätzen (RIE) verwendet. Diese Ätzmittel können im erfindungsgemäßen Verfahren ebenfalls eingesetzt werden, jedoch ist das Verfahren nicht auf diese Ätzmittel beschränkt. Andere grundsätzlich geeignete Ätzmittel für Halbleitermaterialien, welche Elemente der dritten bis fünften Hauptgruppe des Periodensystems umfassen, sind beispielsweise in D. Widmann, "Technologie hochintegrierter Schaltungen", 2. Auflage, Springer, Berlin 1996, in Kapitel 5.2 - Trockenätzen, sowie in K. Schade, "Mikroelektronik-Technologie", 1. Auflage, Verlag Technik, Berlin 1991, in Kapitel 7 - Ätzen und Reinigen, beschrieben.

Erfindungsgemäß bevorzugt sind solche Ätzmittel, die aus einem Gemisch einer Lewis-Säure mit Chlor bestehen. Als Lewis-Säure können beispielsweise Bortrichlorid oder Bortribromid eingesetzt werden. Enthält das zu ätzende Halbleitersubstrat kein Aluminium, kann ebenfalls Bortrifluorid als Lewis-Säure verwendet werden.

Bevorzugt beträgt das molare Verhältnis von Lewis-Säure, insbesondere Bortrichlorid, zu Chlor zwischen 1 : 9 und 9 : 1. Besonders bevorzugt ist ein Verhältnis von 1 : 1.

Das erfindungsgemäße Verfahren kann grundsätzlich auf jede für das Trockenätzen bekannte Art und Weise in den bisher bekannten Reaktoren durchgeführt werden. Bevorzugt sind solche Verfahren, bei denen sehr anisotrop geätzt werden kann, also solche Verfahren, bei denen die Ätzrate in vertikaler Richtung sehr viel höher ist als in horizontaler. Die geätzten Gräben zum Trennen der Halbleiterchips sind dann sehr schmal, z. B. kleiner als 20 µm, und entsprechend gering ist der Verlust an Halbleitermaterial durch das Trockenätzen. Als Folge können viele Halbleiterchips auf einem Wafer untergebracht werden.

Erfindungsgemäß bevorzugt erfolgt das Trockenätzen durch reaktives Ionenätzen (RIE), ECR-Ätzen (ECR = Electron Cyclotron Resonance) oder durch Ätzen mit induktiv gekoppelter Plasmaquelle (ICP).

Beispiele geeigneter Reaktoren sind ein Parallel-Platten-Reaktor, bei welchem bei niedrigen Drücken zwischen 5 und 75 mTorr mit einer Radiofrequenz von üblicherweise von 13,56 oder 27,12 MHz ein Plasma gezündet wird, wobei die Ankopplung kapazitiv erfolgt (CCP-Plasma). Wei-

terhin sind zylindrische Reaktoren geeignet, in welche die Radiofrequenz bei einem Druck von kleiner als 1 mTorr induktiv eingekoppelt wird (ICP-Plasma).

Die Probe befindet sich stromabwärts auf einer Elektrode, an welche zusätzlich kapazitiv Radiofrequenz angekoppelt werden kann. Alternativ kann in einem zylindrischen Reaktor ein Mikrowellenfeld mit Unterstützung eines statischen Magnetfeldes zur Erzeugung des Plasmas verwendet werden. Besonders bevorzugt liegt die Mikrowellenleistung zwischen 400 und 1000 W. Auch in diesem Fall befindet sich die Probe stromabwärts auf einer Elektrode; an die erneut zusätzlich kapazitiv Radiofrequenz angekoppelt werden kann (ECR-Anregung).

Auch ein Reaktor mit Ionenstrahlanlage (IBE) kann eingesetzt werden. Bei einem solchen Reaktor wird üblicherweise mit Gleichstrom oder einer induktiv gekoppelten Radiofrequenz ein üblicherweise inertes Plasma aus Edelgas oder Stickstoff erzeugt. Das Plasma wird durch eine sogenannte Gitteroptik aus dem Reaktor extrahiert und auf die zu strukturierende Probe gelenkt. Zu diesem Zweck befindet sich üblicherweise oberhalb der Probe eine Gasdusche, durch die das reaktive Gas der Probe zugeführt wird (CAIBE).

Bei der Durchführung des Trockenätzverfahrens in den genannten Reaktoren können die Ätzvorgänge mit hoher Anisotropie durchgeführt werden. Im Falle eines Parallel-Platten-Reaktors ist die Plasmadichte etwa 1,5 Größenordnungen geringer als bei den übrigen genannten Verfahren. Um eine vergleichbare Ätzrate zu erzielen, müssen also wesentlich höhere Elektrodenspannungen angelegt werden. Dennoch hat sich dieses Verfahren zum Ätzen von Silicium-Halbleitermaterialien sehr bewährt.

Zufriedenstellende Ätzraten lassen sich vor allen Dingen erreichen, wenn, wie dies erfindungsgemäß bevorzugt ist, als Ätzmittel eine Kombination einer Lewis-Säure mit Chlor verwendet wird. Durch die Anwesenheit der Lewis-Säure erhöht sich die Konzentration an Chlor-Kationen ( $\text{Cl}^+$  und  $\text{Cl}_2^+$ ), wodurch die Ätzrate stark ansteigt. Für einen 2-Zoll-Wafer, dessen Fläche nahezu vollständig (95 bis 98%) dem Ätzgas ausgesetzt ist, können Ätzraten von bis zu 4  $\mu\text{m}/\text{Minute}$  nach der CCP-RIE- und bis zu 1  $\mu\text{m}/\text{Minute}$  mit dem ECR-RIE-Methode erzielt werden. Durch Verwendung eines ICP-Reaktors können diese Ätzraten nochmals gesteigert werden. Die Anwendung des CAIBE-Verfahrens empfiehlt sich vor allem, wenn der Ätzwinkel frei eingestellt werden soll. Vergleicht man die Ätzraten, welche mit einer Kombination aus Lewis-Säure und Chlor erreicht werden, mit der Ätzrate von 50 bis 100 nm/Minute, die typischerweise mit  $\text{BCl}_3/\text{Ar}$  erzielt wird, ist eine Steigerung der Ätzrate um einen Faktor von etwa 40 möglich, ohne daß dies zu einer optischen Degradation der Oberfläche führen würde.

Um ein vollständiges Durchtrennen des Wafers zu erreichen, ist die Ätzdauer üblicherweise länger als bei den bekannten Ätzverfahren, bei denen lediglich einzelne Schichten eines Halbleitersubstrats geätzt werden. Die längere Dauer des Trockenätz-Vorgangs führt üblicherweise zu einer Erhöhung der Temperatur in der Ätzkammer, so daß auch die Temperatur im erfindungsgemäßen Verfahren höher liegt als bei herkömmlichen Trockenätzverfahren. Beispielsweise für das erfindungsgemäße Verfahren können eine Ätzdauer von fünfzehn Minuten bis zu drei Stunden bei einer Temperatur im Bereich von über 150°C und insbesondere von über 200°C genannt werden.

Um zu verhindern, daß die aus dem Wafer herausgeätzten separierten Halbleiterchips ihre durch den Wafervorbund vorgegebene Position verlieren, werden die Halbleiterchips im erfindungsgemäßen Verfahren vorzugsweise in ihren vorgegebenen Positionen lösbar fixiert. Dabei kann es sich

beispielsweise um eine magnetische oder ferromagnetische Fixierung handeln. Zweckmäßig wird der zu ätzende Wafer dabei auf einen magnetischen oder ferromagnetischen Träger gesetzt und auf diesen in der Ätzvorrichtung zugeführt.

Insbesondere bei der Herstellung kleiner Halbleiterchips mit einer Kantenlänge weniger als 150  $\mu\text{m}$  und insbesondere als weniger als 100  $\mu\text{m}$  Kantenlänge erfolgt die lösbare Fixierung der Halbleiterchips vorzugsweise unter Verwendung einer Kunststoffolie. Für die lösbare Fixierung der Halbleiterchips ist diese Kunststoffolie auf einer ihrer Oberflächen zweckmäßig mit einer Klebstoffschicht versehen, an welcher die Halbleiterchips haften bleiben. Zur Vereinfachung der Handhabung wird die Folie zweckmäßig auf oder in einen Rahmen gespannt. In einer bevorzugten Variante ist die Folie in einen ringförmigen Rahmen aus Silicium gespannt.

Die Klebefolie verhindert nicht nur während des Trockenätzvorganges, daß die nach dem Durchätzen erhaltenen einzelnen Halbleiterchips verrutschen und ihre vorgegebene Position verlieren, was die Weiterverarbeitung der Chips extrem erschweren oder sogar unmöglich machen würde, sondern die Folie kann auch als Trägermaterial in den weiteren Bearbeitungsschritten der Halbleiterchips verwendet werden. Es ist also nicht erforderlich, die Halbleiterchips nach dem erfindungsgemäßen Trockenätzverfahren auf einen anderen Träger umzusetzen.

Um die thermische Belastung an Wafer und Folie während des erfindungsgemäßen Trockenätzverfahrens gering zu halten, kann zweckmäßig auf der dem Wafer abgewandten Seite der Folie eine Wärmesenke angeordnet werden. Vorzugsweise dient hierzu eine Platte aus Metall und insbesondere eine Aluminiumplatte. Wird ein Rahmen zum Einspannen der Folie verwendet, weist die Metallplatte zweckmäßig eine Dicke und einen Außendurchmesser auf, welcher der Höhe des Rahmens bis zur Folienunterseite sowie dem Innendurchmesser des Rahmens im wesentlichen entsprechen.

Alle Materialien, die während des Trockenätzverfahrens in der Ätzkammer angeordnet werden, werden vorzugsweise so gewählt, daß sie unter den Bedingungen des Trockenätzverfahrens möglichst wenig ausgasen; um die Zusammensetzung des Ätzmittels nicht zu verändern. Im Falle der Kunststoffolie wird also zweckmäßig eine solche Kunststoffolie verwendet, die unter den Bedingungen des Trockenätzverfahrens, beispielsweise unter den Bedingungen der erhöhten Temperatur, beständig und außerdem chemisch inert ist.

Das erfindungsgemäße Verfahren weist den weiteren Vorteil auf, daß Metallschichten, welche auf einer oder beiden Waferoberflächen vorhanden sind, also beispielsweise metallische Kontakte oder ganzflächige Metallbeschichtungen, mit dem erfindungsgemäßen Verfahren ebenfalls durchtrennt werden können. Metallschichten, welche sich auf den Waferoberflächen im Bereich der zu durchtrennenden Begrenzungsänder der Halbleiterchips befinden, können also in derselben Trockenätzvorrichtung im selben Arbeitsschritt wie das Halbleitersubstrat mit durchtrennt werden. In aller Regel wird hierbei dasselbe Ätzmittel wie zum Durchtrennen des Halbleitersubstrates verwendet. Es ist allerdings auch möglich, die Zusammensetzung des Ätzmittels im Verlauf des Trockenätzverfahrens zu variieren und den je weils zu ätzenden Materialien, Metall oder Halbleitersubstrat, gezielt anzupassen.

Beispiele metallischer Kontakte oder ganzflächiger Metallbeschichtungen, welche im erfindungsgemäßen Verfahren im selben Arbeitsschritt wie das Halbleitersubstrat geätzt werden können, sind solche aus Gold oder einer Goldlegierung, beispielsweise Gold-Zink oder Gold-Germanium.

Bevor mit dem Trockenätzschritt begonnen wird, wird auf die Oberfläche des Wafers, welche dem Ätzmittel 1 ausgesetzt werden soll, auf grundsätzlich an sich bekannte Weise eine Maske aufgebracht, welche den Bereich der Begrenzungsänder der Halbleiterchips, dort wo Ätzgräben entstehen soll, freiläßt. Als Masken geeignet sind die bekannten Masken aus Fotolack oder die sogenannten Hartmasken, welche beispielsweise aus Siliciumdioxid oder Siliciumnitrid bestehen. Aufbringen und Strukturieren der Maske erfolgen auf die im Stand der Technik übliche Weise.

Bevorzugt wird das erfindungsgemäße Verfahren so durchgeführt, daß eine Selektivität (Verhältnis der Ätzraten von Halbleitersubstrat zu Maske) von mindestens 10 und ein Aspektverhältnis  $\geq 20$  erhalten wird. Bei einer Äztiefe von beispielsweise 100  $\mu\text{m}$  sollte also die laterale Schrumpfung der Maske nicht größer als 5  $\mu\text{m}$  sein und die Maskendicke nicht größer als 10  $\mu\text{m}$ . Insbesondere im Falle von Fotolackmasken tritt, bedingt durch die hohen Ätztemperaturen und die lange Dauer des erfindungsgemäßen Trockenätzverfahrens, das Problem auf, daß der Fotolack seine Struktur ändert und sich im Anschluß an das Ätzverfahren nur noch schlecht ablösen läßt. Bei Verwendung einer Kunststoffolie als Träger für den Wafer oder die bereits vereinzelt Halbleiterchips scheidet auch das Veraschen als Verfahren zum Entfernen der Fotolackmaske aus, da die Kunststoffolie durch das Veraschen ebenfalls angegriffen würde. In einer bevorzugten Variante des erfindungsgemäßen Verfahrens wird deshalb unter dem Fotolack oder unter der Hartmaske eine zusätzliche Schicht aufgebracht. Diese Schicht ist so gewählt, daß sie nach Abschluß des Trockenätzverfahrens gelöst werden kann. Dabei löst sich auch der Fotolack oder die Hartmaske von den Halbleiterchips ab. Das Material, aus welchem die Zwischenschicht besteht, wird also so gewählt, daß es während des Trockenätzverfahrens im wesentlichen nicht angegriffen wird und in einer Flüssigkeit lösbar ist, welche wiederum die Halbleiterchips und eventuell vorhandene metallische Kontakte oder Metallbeschichtungen nicht löst. Beispiele solcher Materialien für die Zwischenschicht sind zum einen dielektrische Materialien wie Siliciumdioxid, Siliciumnitrid, Galliumarsenid oder Galliumnitrid und zum anderen säurelösliche Metalle.

Der Endpunkt des Trockenätzverfahrens, d. h. der Zeitpunkt, zu dem der Wafer vollständig durchgeätzt und die einzelnen Halbleiterchips voneinander getrennt sind, kann auf jede im Stand der Technik grundsätzlich bekannte Art und Weise festgestellt werden. Bevorzugte Verfahren zur Endpunktfeststellung sind die Massenspektrometrie und optische Verfahren, insbesondere die optische Emissionsspektroskopie. Zweckmäßig wird hier der Endpunkt durch UV/VIS-Spektrometrie in einem Wellenlängenbereich zwischen 300 und 900 nm bestimmt. Gemessen wird vorzugsweise die Spektrallinien-Intensität eines der Halbleitermaterialien, welche mit dem Trockenätzverfahrens geätzt werden sollen. Im Falle galliumhaltiger Halbleitersubstrate kann beispielsweise die Linienintensität des Galliums während des Trockenätzverfahrens verfolgt werden. Bei Halbleitersubstraten, welche aus mehreren Elementen zusammengesetzt sind, können gleichzeitig mehrere dieser Elemente emissionspektrometrisch verfolgt werden. Im Falle von InGaN oder InGaAlP können beispielsweise neben den Spektrallinien des Galliums auch diejenigen des Indiums verfolgt werden. Ist das Halbleitersubstrat vollständig durchgeätzt, werden keine Halbleiterelemente mehr in die Ätzkammer freigesetzt, so daß die Linienintensität der entsprechenden Elemente rapide absinkt.

Das erfindungsgemäße Verfahren kann sehr flexibel auf die Weiterverarbeitung und den Test von Halbleiterchips angepasst werden.

Beispielsweise ist es möglich, das erfindungsgemäße Verfahren so durchzuführen, daß vor dem Durchätzen des Wafers zunächst die p/n-Übergänge eines jeden Halbleiterchips durch Ätzen von Gräben getrennt werden. Das Ätzen der p/n-Übergänge ist grundsätzlich bekannt. Beispielsweise können die eingangs beschriebenen RIE-Ätzverfahren hierfür verwendet werden. Nach dem Ätzen der p/n-Übergänge können die Halbleiterchips noch im Waferverbund auf an sich bekannte Weise auf ihre Funktionsfähigkeit hin überprüft werden. Erst nach Abschluß der Tests werden die einzelnen Halbleiterchips dann erfindungsgemäß durch Durchätzen voneinander separiert. Vorzugsweise erfolgt das Durchätzen dann von der rückwärtigen, den p/n-Übergängen abgewandten Seite des Wafers.

Um die Kontaktierung der Halbleiterchips zu erleichtern und sogenannte parasitäre Kapazitäten zu reduzieren, können gleichzeitig mit dem Durchätzen und Separieren der Halbleiterchips in die Chips Vialöcher geätzt werden. Diese Vialöcher dienen dazu, die Unterseiten der Halbleiterchips auf an sich bekannte Weise direkt anzuschließen.

Um die Eigenschaften der nach dem erfindungsgemäßen Verfahren hergestellten Halbleiterchips weiter zu verbessern, können nach Beendigung des Trockenätzens die geätzten Seitenflanken der Halbleiterchips geglättet werden. Dies geschieht beispielsweise durch Sandstrahlen der Seitenflanken. Auf diese Weise können beispielsweise gerundete Halbleiterchips erhalten werden, die sich besonders gut für den Einsatz als LEDs mit einer erhöhten Lichtausbeute eignen. Zur Herstellung von LEDs und Halbleiterchips und LEDs mit einer Kantenlänge von unter 150  $\mu\text{m}$  und insbesondere unter 100  $\mu\text{m}$  ist das erfindungsgemäße Verfahren besonders geeignet.

Die Erfindung soll nachfolgend anhand einer Zeichnung näher erläutert werden. Darin zeigen

Fig. 1 und 2 schematisch Teilquerschnitte einer Anordnung zur Durchführung des erfindungsgemäßen Verfahrens in verschiedenen Verfahrensabschnitten.

Im einzelnen zeigt Fig. 1 im Querschnitt einen Wafer 2, aus welchem LEDs hergestellt werden sollen. Der Wafer 2 ist auf seiner Rückseite ganzflächig mit einer metallischen Schicht 8, beispielsweise einer Goldlegierung, als n-Kontakt beschichtet. Auf der Vorderseite des Wafers auf einer Epitaxieschicht 11 sind metallische Kontakte 7 als p-Kontakte angeordnet. Während des Trockenätzvorganges, mit welchem erfindungsgemäß der Wafer durchtrennt und die LEDs separiert werden sollen, wird der Wafer 2 auf eine Klebefolie 4 aus Kunststoff aufgesetzt. Die Folie 4 ist in einen ringförmigen Rahmen 5, beispielsweise aus Silicium, eingespannt. Um die thermische Belastung der Klebefolie und des Wafers während des Trockenätzverfahrens zu vermindern, ist auf der dem Wafer 2 gegenüberliegenden Seite der Folie 4 eine Metallplatte 6 aus Aluminium angeordnet. Die Aluminiumplatte 6 wiederum befindet sich auf einer üblichen Trägervorrichtung 12 einer herkömmlichen Ätzvorrichtung. Um mit dem Trockenätzverfahren einzelne LEDs aus dem Wafer 2 herauszutrennen, ist auf der Wafervorderseite eine Maske 9 aufgebracht. Bei der Maske 9 kann es sich beispielsweise um einen etwa 8  $\mu\text{m}$  dicken Fotolack, beispielsweise Fotolack AZ 4562 oder um mehrere Lagen Fotolack AZ 4533, handeln. Die Maske 9 läßt die Waferoberfläche dort frei, wo durch das Trockenätzen Ätzgräben gebildet werden sollen, die die einzelnen Halbleiterchips voneinander trennen. Unter der Maske 9 ist weiterhin eine Schicht 10 angeordnet, welche nach Abschluß des Durchätzverfahrens das Ablösen der Maske von den einzelnen LEDs erleichtern soll. Beispielsweise kann es sich bei der Schicht 10 um eine metallische Schicht handeln, die sich in einer Säure löst, welche das Material des Wafers 2 und das Metall der Kontakte 7

und der Schicht 8 nicht lösbar.

Fig. 2 verdeutlicht ein Verfahrensstadium des erfindungsgemäßen Verfahrens nach Durchföhrung des Trockenätzvorganges und nach dem Ablösen der Hartmaske gemeinsam mit der Zwischenschicht 10. Durch das vollständige Durchätzen des Wafers 2 und der Metallschicht 8 im Bereich zwischen den Begrenzungsändern 3 sind einzelne Halbleiterchips, hier LEDs 1, entstanden. Die LEDs 1 sind nach wie vor auf der Klebefolie 4 angeordnet und haben daher ihre im Waferverband vorgegebene Position behalten. Lösbar auf der Folie 4 fixiert können die LEDs 1 nun ihren weiteren Bearbeitungsschritten zugeführt werden. Mit Hilfe der Folie 4 können auch sehr kleine Halbleiterchips oder sehr kleine LEDs mit einer Kantenlänge von weniger als 100 µm bearbeitet werden, die mit herkömmlichen "pick and place"-Verfahren nicht gehandhabt werden können.

#### Bezugszeichenliste

1 Halbleiterchip	20
2 Wafer	
3 Begrenzungsrand	
4 Folie	
5 Rahmen	
6 Metallplatte	25
7 Metallkontakt	
8 Metallschicht	
9 Maske	
10 Zwischenschicht	
11 Epitaxieschicht	30
12 Träger	

#### Patentansprüche

1. Verfahren zum Herstellen von Halbleiterchips (1) aus einem Wafer (2), dadurch gekennzeichnet, daß die Halbleiterchips (1) getrennt werden, indem der Wafer (2) im Bereich der Begrenzungsänder (3) der Halbleiterchips (1) mit Hilfe eines Trockenätzverfahrens vollständig durchgeätzt wird.
2. Verfahren gemäß Anspruch 1, dadurch gekennzeichnet, daß das Trockenätzen durch reaktives Ionenätzen (RIE), ECR (Electron Cyclotron Resonance)-Ätzen oder Ätzen mit induktiv gekoppelter Plasmaquelle (ICP) erfolgt.
3. Verfahren gemäß Anspruch 1 oder 2, dadurch gekennzeichnet, daß als Ätzmittel ein Gemisch einer Lewis-Säure mit Chlor eingesetzt wird.
4. Verfahren gemäß Anspruch 3, dadurch gekennzeichnet, daß als Lewis-Säure Bortrichlorid, Bortribromid oder Bortrifluorid eingesetzt wird.
5. Verfahren gemäß einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß das Trockenätzverfahren bei einer Temperatur von größer als 150°C und insbesondere von über 200°C für einen Zeitraum von 15 Minuten bis 3 Stunden durchgeführt wird.
6. Verfahren gemäß einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der Wafer (2) auf eine unter den Bedingungen des Trockenätzverfahrens beständige und chemisch inerte Kunststoffolie (4) aufgesetzt wird.
7. Verfahren gemäß Anspruch 6, dadurch gekennzeichnet, daß eine Klebefolie verwendet wird.
8. Verfahren gemäß Anspruch 6 oder 7, dadurch gekennzeichnet, daß die Folie (4) auf oder in einen Rahmen (5), vorzugsweise einen ringförmigen Rahmen aus Silicium, gespannt wird.
9. Verfahren gemäß einem der Ansprüche 6 bis 8, dadurch gekennzeichnet, daß auf der dem Wafer (2) abge-

wandten Seite der Folie (4) eine Platte (6) aus Metall, insbesondere aus Aluminium, angeordnet ist.

10. Verfahren gemäß Anspruch 1 bis 5, dadurch gekennzeichnet, daß der Wafer (2) auf einen magnetischen oder ferromagnetischen Träger aufgesetzt wird.

11. Verfahren gemäß einem der Ansprüche 1 bis 19, worin der Wafer (2) auf wenigstens einer Oberfläche metallische Kontakte (7) oder eine ganzflächige Metallbeschichtung (8) aufweist, dadurch gekennzeichnet, daß diese im Bereich der Begrenzungsänder (3) der Halbleiterchips (1) mit dem Trockenätzverfahren ebenfalls vollständig durchgeätzt werden.

12. Verfahren gemäß Anspruch 11, dadurch gekennzeichnet, daß metallische Kontakte (7) oder Metallbeschichtung (8) aus Gold oder einer Goldlegierung bestehen.

13. Verfahren gemäß einem der Ansprüche 1 bis 12, dadurch gekennzeichnet, daß die dem Ätzmittel ausgesetzte Oberfläche des Wafers (2) vor Beginn des Trockenätzverfahrens mit einer Hartmaske oder einer Maske aus Fotolack (9) beschichtet wird, welche den Bereich der Begrenzungsänder (3) der Halbleiterchips (1) freiläßt.

14. Verfahren gemäß Anspruch 13, dadurch gekennzeichnet, daß unter der Fotolack (9) oder unter der Hartmaske eine Schicht (10) aufgebracht wird, welche aus einem Material besteht, das während des Trockenätzverfahrens im wesentlichen nicht angegriffen wird und das in einer Flüssigkeit lösbar ist, welche die Halbleiterchips (1), metallische Kontakte (7) und Metallbeschichtung (8) nicht löst.

15. Verfahren gemäß Anspruch 14, dadurch gekennzeichnet, daß die Schicht (10) aus einem dielektrischen Material wie Siliciumdioxid, Siliciumnitrid, Galliumarsenid oder Galliumnitrid oder einem säurelöslichen Metall besteht.

16. Verfahren gemäß einem der Ansprüche 1 bis 15, dadurch gekennzeichnet, daß der Endpunkt des Trockenätzverfahrens durch Massenspektrometrie oder ein optisches Verfahren und insbesondere durch optisch Emissionsspektroskopie bestimmt wird.

17. Verfahren gemäß Anspruch 16, dadurch gekennzeichnet, daß der Endpunkt durch UV/VIS-Spektrometrie bestimmt wird und insbesondere durch Bestimmung der Spektrallinienintensität wenigstens eines der zu ätzenden Halbleitermaterialien.

18. Verfahren gemäß einem der Ansprüche 14 bis 17, dadurch gekennzeichnet, daß nach Beendigung des Trockenätzverfahrens Hartmaske oder Fotolack (9) und die unter Hartmaske oder Fotolack (9) befindliche Schicht (10) gemeinsam entfernt werden, indem die Schicht (10) von den Halbleiterchips (1) gelöst wird.

19. Verfahren gemäß einem der Ansprüche 1 bis 18, dadurch gekennzeichnet, daß gleichzeitig mit dem Durchätzen Vialöcher zur Kontaktierung der Halbleiterchips (1) in den Wafer (2) geätzt werden.

20. Verfahren gemäß einem der Ansprüche 1 bis 19, dadurch gekennzeichnet, daß vor dem Durchätzen des Wafers (2) die p/n-Übergänge eines jeden Halbleiterchips (1) durch Ätzen von Gräben getrennt werden.

21. Verfahren gemäß Anspruch 20, dadurch gekennzeichnet, daß die Halbleiterchips (1) im Wafer (2) nach dem Trennen der p/n-Übergänge geprüft werden.

22. Verfahren gemäß Anspruch 20 oder 21, dadurch gekennzeichnet, daß der Wafer (2) vor dem Durchätzen umgedreht und das Durchätzen von der rückwärtigen, den p/n-Übergängen abgewandten Seite des Wafers (2)

erfolgt.

23. Verfahren gemäß einem der Ansprüche 1 bis 22, dadurch gekennzeichnet, daß nach Beendigung des Trockenätzens die geätzten Seitenflächen der Halbleiterchips (1) geglättet werden.

5

24. Verfahren gemäß Anspruch 23, dadurch gekennzeichnet, daß das Glätten der Seitenflächen durch Sandstrahlen erfolgt.

25. Verwendung des Verfahrens gemäß einem der Ansprüche 1 bis 24 zur Herstellung von Halbleiterchips mit einer Kantenlänge von unter 150 µm und insbesondere unter 100 µm.

10

26. Verwendung des Verfahrens gemäß einem der Ansprüche 1 bis 24 und Verwendung gemäß Anspruch 25 zur Herstellung von LEDs.

15

---

Hierzu 1 Seite(n) Zeichnungen

---

20

25

30

35

40

45

50

55

60

65



- Leerseite -

FIG. 1

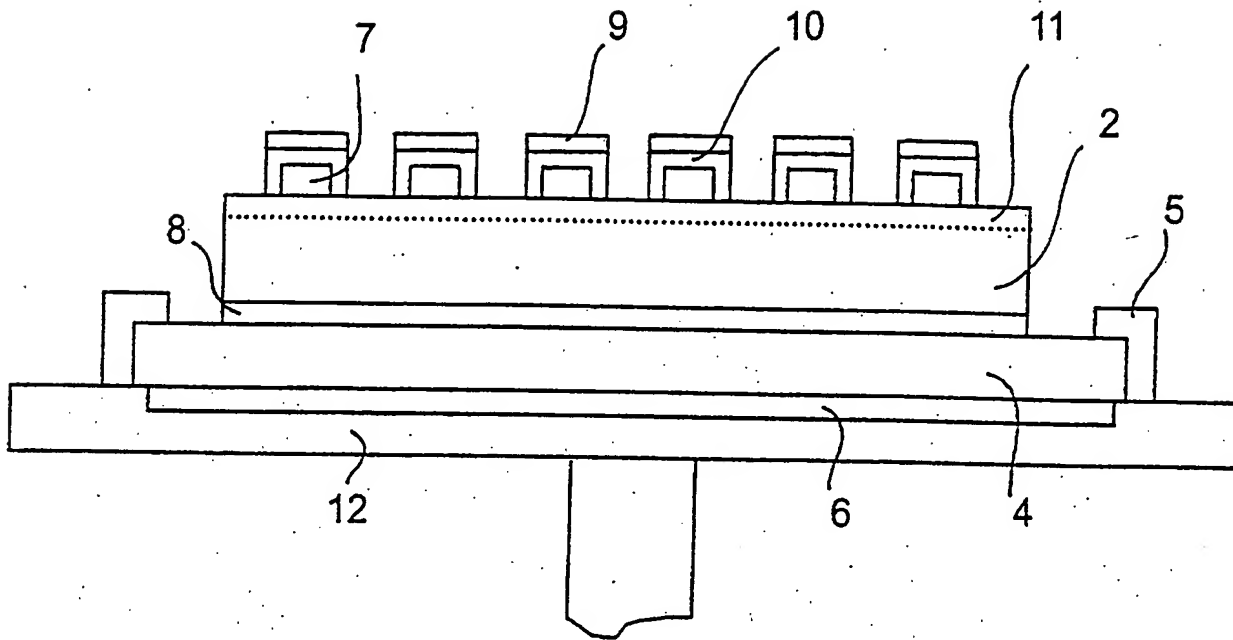


FIG. 2

